

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02191369 A**

(43) Date of publication of application: **27.07.90**

(51) Int. Cl. **H01L 27/04**

(21) Application number: **01010907**

(71) Applicant: **TOSHIBA CORP**

(22) Date of filing: **19.01.89**

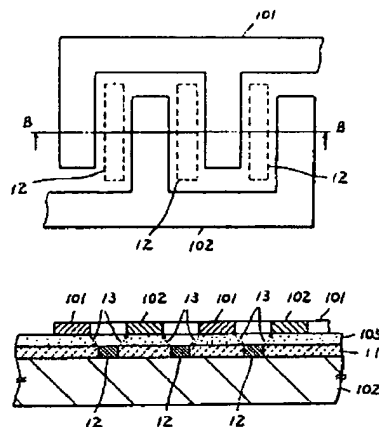
(72) Inventor: **OZAKI JUICHI**

(54) **MONOLITHIC SEMICONDUCTOR DEVICE**

(57) Abstract:

PURPOSE: To increase capacitance per unit length by forming a conductor section on a layer different from a layer constructing a pair of electrodes between the electrodes in a capacitor.

CONSTITUTION: A conductor section 12 is formed between a pair of electrodes 101, 102 in a capacitor and on a layer different from a layer constructing the electrode 101, 102. Accordingly, since part of an electric field 13 passes through the interior of the conductor section 12, an interelectrode distance is equivalently reduced, and if the width of the conductor 12 is increased, a capacitance per unit length of the length of the electrodes can be increased. Hereby, an area of the capacitor, which occupies a large area in a monolithic microwave integrated circuit(MMIC) can be reduced to miniaturize the MMIC and improve electrical characteristics.



COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A) 平2-191369

⑤ Int. Cl.⁵

H 01 L 27/04

識別記号

庁内整理番号

④ 公開 平成2年(1990)7月27日

C

7514-5F

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 モノリシック半導体装置

⑰ 特 願 平1-10907

⑱ 出 願 平1(1989)1月19日

⑲ 発 明 者 尾 崎 寿 一 神奈川県川崎市幸区小向東芝町1 株式会社東芝小向工場内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 大 胡 典 夫

明 細 書

1. 発明の名称

モノリシック半導体装置

2. 特許請求の範囲

半絶縁性半導体基板に形成されたインタディジタル形キャパシタを備えてなるモノリシック半導体装置において、キャパシタにおける電極対の間で、かつ、この電極対を構成する層と異なる層に形成された導体部を具備したことを特徴とするモノリシック半導体装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、GaAs(ガリウム砒素)等の半絶縁性半導体基板に形成されるモノリシックマイクロ波集積回路(MMIC)に用いるインタディジタル形キャパシタの構造に関する。

(従来の技術)

GaAs等の半絶縁性半導体基板に形成されるMMICのキャパシタンス素子として用いられるインタデ

ィジタル形キャパシタは、素子値(素子の容量値)がそのパターン形状だけで決定されるため素子値の精度が高く、回路の特性に対する素子感度の高い箇所でも用いることができる。しかし、そのパターンの占める面積当り得られる容量値が小さく、パターンが大形化し、MMICのチップサイズに与える影響が大きい。

第2図に従来のインタディジタル形キャパシタの対向電極の配置を示す平面図(a)とA-A線に沿う断面図(b)を示す。

通常インタディジタルキャパシタは、電極のメッキ等の後工程の容易さからMMICの上部メタル層に形成される。第2図において、101、102はキャパシタを形成する対向電極、103はGaAs半絶縁性半導体基板、104はFETのゲート電極あるいは下部メタル層の形成に用いられる誘電体膜(通常SiO₂膜を用いる)、105はFETの保護あるいは平行平板(MIN)形キャパシタに用いられる誘電体膜(通常SiN_x膜が用いられる)である。

インタディジタル形キャパシタの電極対におけ

る単位長当りの容量値は主に電極間距離(S)と電極下の誘電体の比誘電率(ϵ_r)で決定される。そして、インタディジタル形キャパシタの電極対の単位長当りの容量値を大きくするには電極間距離を小さくすれば良い。電極は通常エッチングあるいはリフトオフ工程で形成するが、歩留りを考慮すると電極間距離としては $S=10\mu\text{m}$ 程度が限界である。また、第2図に示される構造では、図中に破線矢で示される電界12は SiN_x 層に集中する。従って電極対の単位長当りの容量値は主に電極間距離と SiN_x の ϵ_r で決定される。 SiN_x の ϵ_r 値は $\epsilon_r \approx 7$ であり、GaAsのそれは $\epsilon_r = 12.7$ である。従ってGaAs直上に電極を作る場合よりも電極対の単位長当りの容量値は、さらに小さいものになる。

次に、第2図に示されるインタディジタル形キャパシタの構造において、電極幅(W) $W=10\mu\text{m}$ 、 $S=10\mu\text{m}$ 、導体厚(t) $t=1\mu\text{m}$ とした場合、電極対の単位長当りの容量値(C_0)は、

$$C_0 = 0.03 \sim 0.04 \text{ pF} / \text{mm} \quad \dots (1)$$

である。ここで、例えば容量値(C) $C=0.5\text{pF}$ の

ル形キャパシタを備えてなるモノリシック半導体装置において、キャパシタにおける電極対の間で、かつ、この電極対を構成する層と異なる層に形成された導体部を具備したことを特徴とする。

(作用)

本発明のインタディジタル形キャパシタでは、対向電極対間に形成した導体が、等価的に電極間距離を小さくする働きをする。これにより、電極対の単位長当りの容量値が大きくなり、インタディジタル形キャパシタのパターン寸法を小さくすることができる。

(実施例)

以下、本発明の一実施例につき第1図(a)、(b)を参照して説明する。

第1図(a)に一実施例のインタディジタル形キャパシタの対向電極と導体との配置を平面図にて、また同図(b)に断面図で夫々示す。なお、図中の各部において、従来と変わらない部分については従来と同じ符号をつけて示し、説明を省略する。同図において、電極対101、102は上側の誘電体膜

キャパシタを形成しようとした場合、パターンの占める面積は $200\mu\text{m} \times 200\mu\text{m}$ 程度の大きさが必要である。通常MMICのチップサイズは歩留りを考慮すると $1\text{mm} \times 1\text{mm}$ 程度である。

叙上によってもMMICの中でインタディジタル形キャパシタのパターンが占める割合の大きいことがわかる。

(発明が解決しようとする課題)

以上述べた様に、従来のインタディジタル形キャパシタでは、電極対の単位長当りの容量値を大きくできないため、パターン寸法が大きくなりMMICのチップサイズに大きな影響を与えていた。

本発明は電極対の単位長当りの容量値が従来のインタディジタル形キャパシタより大きくなる構造をしたインタディジタル形キャパシタを提供することを目的とする。

(発明の構成)

(課題を解決するための手段)

この発明にかかるモノリシック半導体装置は、半絶縁性半導体基板に形成されたインタディジタル

105、一例の SiN_x 膜に取着されており、これら電極対101、102の間隙部分で、かつ、前記誘電体膜105の下側の誘電体膜11、一例の SiO_2 膜に導体部12が形成されている。本発明のインタディジタル形キャパシタでは、電界13は図中に破線矢で示されるように、その一部が導体部12の中を通過する。したがって、等価的に電極間距離は小さくなったようになり、導体幅(W_c)を大きくすれば、電極対の単位長当りの容量値を大きくすることができる。

第2図の従来例と同一寸法の電極対で比較すると、電極の導体幅 $W=10\mu\text{m}$ 、電極間距離 $S=10\mu\text{m}$ 、電極の導体厚 $t=1\mu\text{m}$ とし、電極対の空隙に形成する導体幅 $W_c=5\mu\text{m}$ 、導体厚(t_c) $t_c=0.5\mu\text{m}$ とした場合、電極対の単位長当りの容量値(C_0')は、

$$C_0' = 0.1 \text{ pF} / \text{mm} \quad \dots (2)$$

である。

また、この程度の W_c であれば電極と導体間でのMINキャパシタの効果は考慮しなくても良く、

従来のインタディジタル形キャパシタと同一の素子精度と考えると良い。

従って、本発明のインタディジタル形キャパシタで $C=0.5\text{pF}$ のキャパシタを形成した場合、パターンの占める寸法は約 $110\mu\text{m}\times 110\mu\text{m}$ 程度であり、従来のインタディジタル形キャパシタと比べ約 $1/3$ の大きさでパターンニングが達成される。また、この空隙に形成する導体は、FETのゲート電極あるいは下部メタル層と同一層に形成するため、本発明のインタディジタル形キャパシタのためにMMICのプロセスを変更することがなく、またMMICの歩留りに影響しない。

(発明の効果)

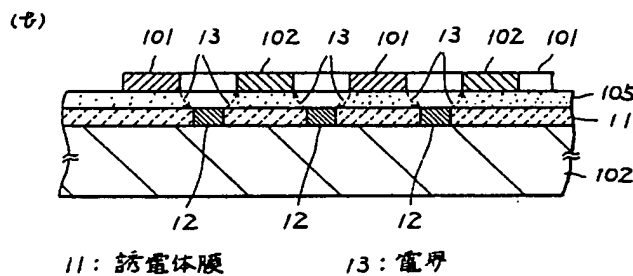
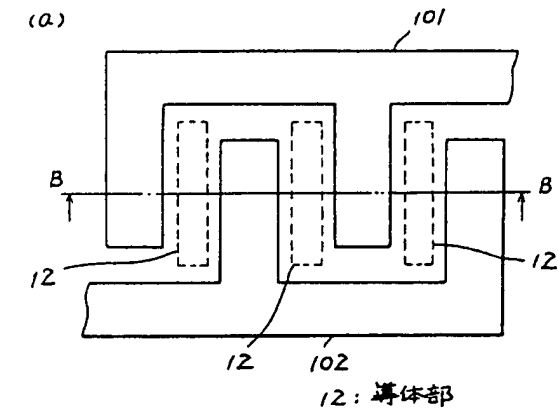
本発明によれば、素子値の精度が良く、かつ歩留りを低下させることなく、従来のインタディジタル形キャパシタに比べパターン面積の小さなインタディジタル形キャパシタを提供できる。これにより、MMIC中にて大きな面積を占めるキャパシタの面積を縮減でき、MMICの小型化、電気的特性の向上に顕著な効果がある。

4. 図面の簡単な説明

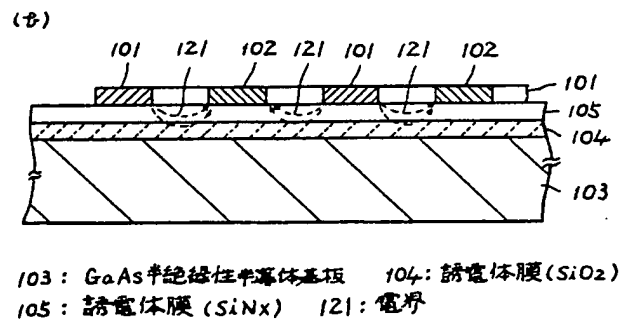
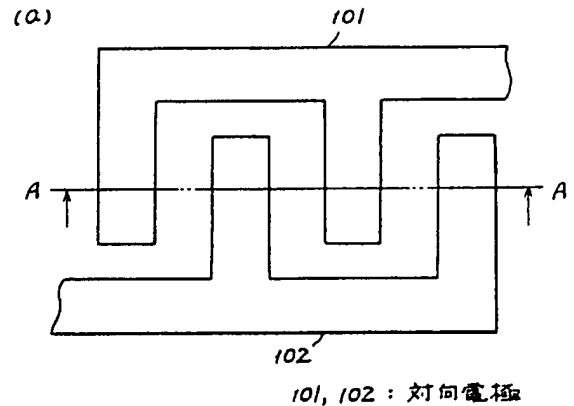
第1図は本発明の一実施例を説明するための図で、(a)は対向電極と導体部との配置を示す平面図、(b)は断面図、第2図は従来例を説明するための図で、(a)は対向電極の配置を示す平面図、(b)は断面図である。

11-----誘電体膜(SiO_2)
12-----導体部
13-----電界
101, 102-----対向電極
105-----誘電体膜(SiN_x)

代理人 弁理人 大 胡 典 夫



第 1 図



第 2 図